

CLIPPEDIMAGE= JP404134855A

PAT-NO: JP404134855A

DOCUMENT-IDENTIFIER: JP 04134855 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 8, 1992

INVENTOR-INFORMATION:

NAME

KITAMURA, MAMORU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP02257786

APPL-DATE: September 27, 1990

INT-CL (IPC): H01L027/04;H01L029/784

US-CL-CURRENT: 257/620

ABSTRACT:

PURPOSE: To prevent aluminum spike by connecting to a metallic wiring layer of a substrate electric potential of a scribe line in a semiconductor device using an input protecting device and by providing an auxiliary protecting device.

CONSTITUTION: An auxiliary protecting device 17 is provided, which consists of an N<SP>+</SP>-type diffusion layer 5 connected to an aluminum wiring layer 7 through a contact hole 6 and an N<SP>+</SP>-type diffusion layer 2 which is connected to an N well 4 and an aluminum wiring layer 1 through a contact hole 3 at a fixed distance d3 with the layer 5. When a negative high voltage is

applied to an input pin, electron injected from a diffusion layer resistance part passes through the aluminum wiring layer 7 of a scribe line and goes out of the layer 5 to a substrate again, and attains the N well 4 of ground level. Therefore, aluminum spike is not generated in a periphery of a pad. Although a layer 1 of ground level and a contact hole 3 exist in the N well 4, aluminum spike, if generated, does not matter at all since they are enclosed with the N well 4.

COPYRIGHT: (C)1992,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-134855

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)5月8日

H 01 L 27/04
29/784

H 7514-4M

8422-4M H 01 L 29/78 3 0 1 K

審査請求 未請求 請求項の数 2 (全4頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 平2-257786

⑮ 出 願 平2(1990)9月27日

⑯ 発 明 者 北 村 守 東京都港区芝5丁目7番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑱ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

1. 半導体基板と逆導電型の不純物拡散層を有する入力保護装置を用いた半導体装置において、前記入力保護装置と所定の距離を隔てて設けられた、スクライプ線の基板電位の金属配線層と、前記金属配線層に接続された、半導体基板と逆導電型の第1の不純物拡散層、前記第1の不純物拡散層と所定の距離隔てて設けられた半導体基板と逆導電型のウェル及び前記ウェル内に設けられた、接地レベル又は電源レベルの金属配線層に接続された半導体基板と逆導電型の第2の不純物拡散層を有する補助保護装置が設けられていることを特徴とする半導体装置。

2. 第1の不純物拡散層が第2の不純物拡散層で囲まれている請求項1記載の半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に負電圧の静電気による破壊を防止する半導体装置に関する。

〔従来の技術〕

従来、半導体装置の入力保護は、一般的に第3図の等価回路で示すものが用いられている。

この等価回路は、半導体基板と逆導電型の拡散層抵抗Rと、拡散層抵抗Rと半導体基板とのダイオードDと、ゲートとソースが接地端に、ドレインが抵抗Rの終端にそれぞれ接続されたトランジスタQにより構成されている。

拡散層抵抗Rは、入力端子Pに加えられた入力パルス波形をなまらせトランジスタQが導通状態になった際に電流を制限することと、ダイオードとして高電圧が加えられた時にブレイクダウンして基板に電流を流す働きがある。トランジスタQはバンスルー素子でソース・ドレイン間に20V前後の電圧が加えられると導通し入力電圧をク

ランプする働きがある。

〔発明が解決しようとする課題〕

上述した従来の入力保護装置は、以下に示す様な問題点がある。

P型半導体基板を用いる場合、第3図において、入力端子Pに負電圧が印加されるとトランジスタQが導通状態となる接地端から入力端子に電流が流れ込んでくるが、入力端子Pに異常な負電圧が印加された場合、N⁺型の拡散層抵抗RとP型半導体基板のダイオードDが順方向となり、大部分の電子が基板中に注入され、パッド周辺にある接地レベルのN⁺型拡散層（内側回路のトランジスタのソース領域）に到達する。その結果、接地レベルのN⁺型拡散層から基板を通して入力端子に大電流が流れることになり、接地レベルのアルミニウム配線とN⁺型拡散層のコンタクトでアルミニウムスパイクを起こし接地レベルのアルミニウム配線と基板が短絡してしまう。

〔課題を解決するための手段〕

本発明は、半導体基板と逆導電型の不純物拡散

層を有する入力保護装置を用いた半導体装置において、前記入力保護装置と所定の距離を隔てて設けられた、スクライプ線の基板電位の金属配線層と、前記金属配線層に接続された、半導体基板と逆導電型の第1の不純物拡散層、前記第1の不純物拡散層と所定の距離隔てて設けられた半導体基板と逆導電型のウェル及び前記ウェル内に設けられた、接地レベル又は電源レベルの金属配線層に接続された半導体基板と逆導電型の第2の不純物拡散層を有する補助保護装置が設けられているというものである。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)は本発明の一実施例の全体の構成を示す平面図、第1図(b)は一実施例の主要部である補助保護装置を示す平面図、第1図(c)は第1図(b)のA-A線断面図である。

入力保護装置14（第3図の回路図で示されるの）から距離d1（入力保護装置14と内部回路領域1b間の距離d2より大きい）のところに基

板電位のアルミニウムの配線層7が設けられている。すなわち、このアルミニウム配線層7はスクライプ線のP⁺拡散層8に接続されている。

アルミニウム配線層7にコンタクト孔6を介して接続されたN⁺型拡散層5が形成されており、そのN⁺型拡散層5と一定の距離d3を隔ててNウェル4が形成されている。Nウェル4内には、接地レベルのアルミニウム配線層1にコンタクト孔3を介して接続されたN⁺型拡散層2が形成されておりNウェル4を接地レベルに保っている。N⁺型拡散層2、5、P⁺型拡散層8間にはそれぞれ厚いフィールド酸化膜11が形成されており、最上層にカバー膜9が形成されている。なお、N⁺型拡散層5とNウェル4の距離d3はデバイスの信頼性を考慮すると20μm程度である。

次に本発明の動作について説明する。

入力ピンに接地端子に対して負の高電圧が印加された場合、入力保護部に例えばN⁺型の拡散層抵抗を使用していると、パッドのアルミニウム層

に接続されたN⁺型の拡散層部から基板に大量の電子が注入され、それらの電子が経路Iを通過してパッド周辺のトランジスタの接地レベルのN⁺型拡散層に到達し、アルミニウム層とN⁺型拡散層のコンタクトに大電力が流れスパイクを引き起こす。そのため、パッドのアルミニウム層とN⁺型拡散層のコンタクト15は通常、スクライプ線より設けられる。

しかし、本発明の補助保護装置を設けると、拡散層抵抗部より注入された電子は、パッド周辺のトランジスタの接地レベルの拡散層に到達するよりも、スクライプ線のアルミニウム配線層7を通過してN⁺型拡散層5から再び基板に抜け、すぐ近くの接地レベルのNウェル4に到達する（第1図(a)の経路II）。つまり、パッドのアルミニウム層と接続されたN⁺型の拡散層抵抗の部分からパッドの周辺のトランジスタの接地レベルのN⁺型拡散層に到達するまでの基板抵抗より、パッドのアルミニウムと接続されたN⁺型の拡散層の部分からスクライプ線への基板抵抗と、パッドに対

応する位置から補助保護領域までのスクライプ線のアルミニウム配線層7の抵抗と、N⁺型拡散層5から基板を通してNウェル4までの抵抗との合計の抵抗値の方がかなり小さいので、大部分の電流は、接地レベルのNウェル4からパッドに流れ込む。そのため、パッドの周辺でアルミニウムスパイクが発生しない。しかも、接地レベルのNウェル4内には接地レベルのアルミニウム配線層1とN⁺型拡散層2のコンタクト孔3があるが、アルミニウムスパイクが発生しても、Nウェル4に囲まれているために問題はない。

また、接地レベルのアルミニウム配線層1を電源レベルのアルミニウム配線に変えれば、電源端子に対して入力ピンに負の高電圧が印加された場合の保護機能を持つのはいうまでもない。

なお、本発明は、半導体ICのチップ内のどのような所に設置されても効果は変わらない。また、上記実施例はP型半導体基板であったが、不純物拡散層の電導型を反対にすればN型半導体基板でもよい。

って、入力端子に印加された負の高電圧に対して耐圧を向上させることができる。また、半導体ICのチップのどのような場所にも設置できるのでレイアウト的に構成が容易であるという効果を有する。

図面の簡単な説明

第1図(a)は本発明の一実施例の全体構成を示す平面図、第1図(b)は一実施例における補助保護装置の平面図、第1図(c)は第1図(b)のA-A線断面図、第2図は一実施例の変形を示す平面図、第3図は従来の入力保護装置の等価回路である。

1…接地レベルのアルミニウム配線層、2…N⁺型拡散層、3…コンタクト孔、4…Nウェル、5…N⁺型拡散層、6…コンタクト孔、7…スクライプ線の基板電位のアルミニウム配線層、8…スクライプ線のP⁺型拡散層、9…カバー層、10…層間絶縁膜、11…フィールド酸化膜、12…P型半導体基板、13…基板電位のアル

第2図は本発明の一実施例の変形を示す平面図である。

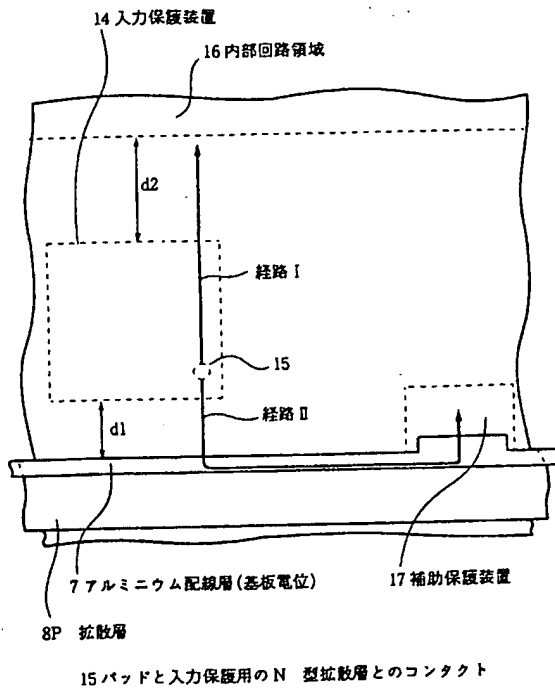
スクライプ線の基板電位のアルミニウム配線7に接続されているアルミニウム配線13がコンタクト孔6を介してN⁺型拡散層5に接続されており、そのN⁺型拡散層5と一定の距離を隔てて、まわりを囲むようにNウェル4が形成されている。Nウェル4内には、接地レベルのアルミニウム配線層1にコンタクト孔3を介して接続されたN⁺型拡散層2が形成された構造となっている。

〔発明の効果〕

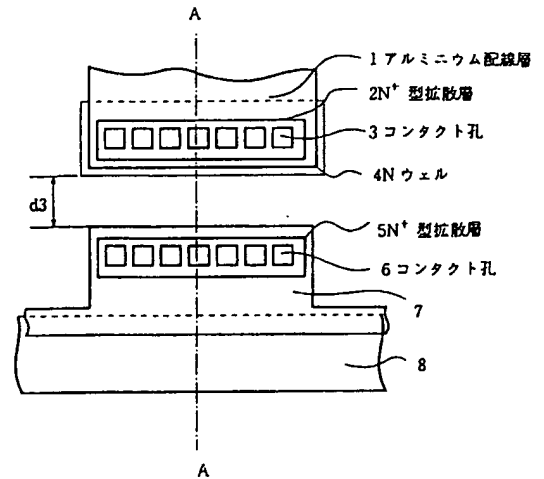
以上説明した様に、本発明はスクライプ線の基板電位の金属配線層に接続された半導体基板と逆導電型の第1の不純物拡散層、前記第1の不純物拡散層と所定の距離を隔てて設けられた半導体基板と逆導電型のウェルおよび前記ウェル内に設けられた、接地レベル又は電源レベルの金属配線層に接続された半導体基板と逆導電型の第2の不純物拡散層を有する補助保護装置を設けることによ

ルミニウム配線層、14…入力保護装置(パッドを含む)、15…パッドのアルミニウム層とN⁺型の拡散層抵抗の接続部、16…内部回路領域、17…補助保護装置。

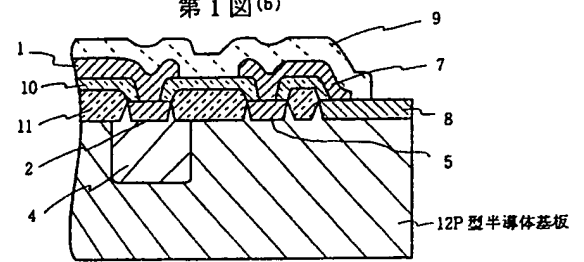
代理人 弁理士 内 原 晋



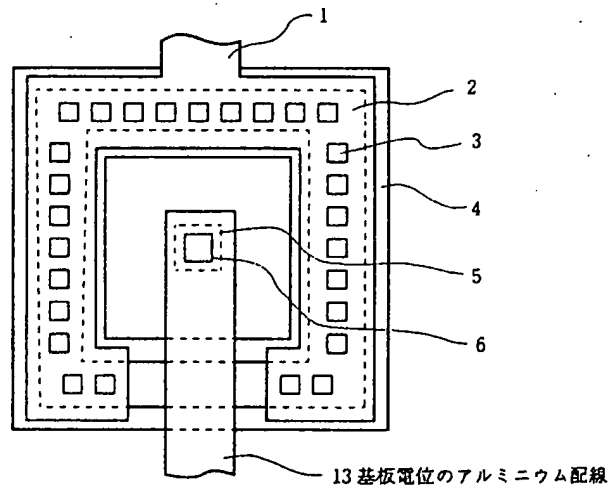
第 1 図 (a)



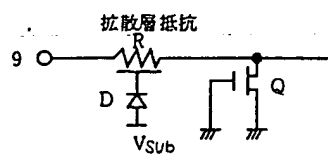
第 1 図 (b)



第 1 図 (c)



第 2 図



第 3 図